

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-050392

(43)Date of publication of application : 21.02.1995

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 27/118

(21)Application number : 05-196091

(71)Applicant : HITACHI LTD
HITACHI MICOM SYST:KK

(22)Date of filing : 06.08.1993

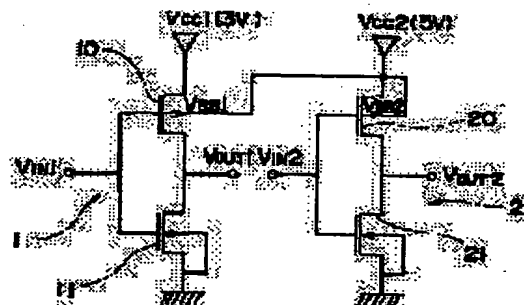
(72)Inventor : KURUSHIMA YOICHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To provide a semiconductor integrated circuit device having PMOSs capable of operating on different power source potentials without increasing an element isolating region in occupation area between PMOSs of different operating potentials.

CONSTITUTION: Provided that, an inverter 1 operating on 3V and an inverter 2 operating on 5V are provided, the substrate of a PMOS 10 of the inverter 1 and the substrate of a PMOS 20 of the inverter 2 are connected to a power supply of potential VCC2 (5V) to keep both the substrate potential VBB1 of the PMOS 10 and the substrate potential VBB2 of the PMOS 20 equal to 5V. By this setup, when PMOSs of different operating potentials are mixedly present in the same LSI, a latch-up phenomenon can be prevented from occurring even if a large element isolating region is not provided, so that an LSI can be enhanced in degree of integration. When a semi-custom made LSI is used, it can effectively cope with both a single power supply and a multi-power supply only by changing a wiring pattern.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal of application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平7-50392

(43)公開日 平成7年(1995)2月21日

(51)IntCl. ⁶	識別記号	庁内整理番号	FI	技術表示箇所
H01L 27/04 21/822 27/118		8832-4M 8122-4M	H01L 27/04 21/82	D M
審査請求 未請求 請求項の数3 OL (全3頁)				

(21)出願番号 特願平5-196091

(22)出願日 平成5年(1993)8月6日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233169

株式会社日立マイコンシステム

東京都小平市上水本町5丁目22番1号

(72)発明者 久留島 洋一

東京都小平市上水本町5丁目22番1号 株

式会社日立マイコンシステム内

(74)代理人 弁理士 大日方 富雄

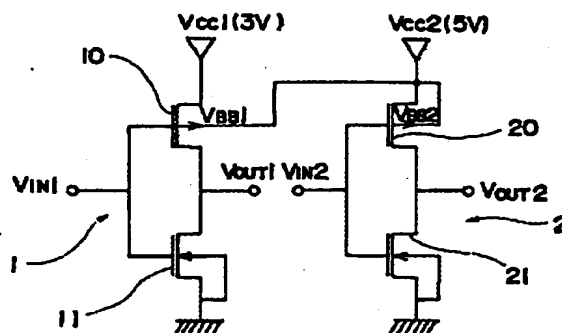
(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】 動作電位の異なるPMOS間の素子分離領域の占有面積を増大させることなく、異なる電源電位で動作可能な複数のPMOSを有してなる半導体集積回路装置を提供する。

【構成】 3Vで動作するインバータ1と5Vで動作するインバータ2とが設けられている場合、インバータ1におけるPMOS10の基板とインバータ2におけるPMOS20の基板を電位Vcc2(5V)の電源に接続し、PMOS10の基板電位Vss1及びPMOS20の基板電位Vss2を何れも5Vとする。

【効果】 動作電位の異なるPMOSが同一LSI内に混在する場合に、広大な素子分離領域を設けなくてもラッチアップ現象が起こるのを防ぐことができ、高集積化を図ることができる。また、セミカスタムLSIの場合には、単一電源の場合と多電源の場合とで配線パターンを変更するだけで何れにも対応可能であるため、極めて有効である。



【特許請求の範囲】

【請求項1】 異なる電源電位で動作可能な複数のPMOSTランジスタを有し、それらPMOSTランジスタにおける各基板電位を前記異なる電源電位のうちの最も高い電位と同じになるようにしたことを特徴とする半導体集積回路装置。

【請求項2】 上記電源電位は3Vと5Vであり、上記各基板電位は5Vであることを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 ゲートアレイであることを特徴とする請求項1または2記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体技術さらには半導体集積回路装置に適用して特に有効な技術に関し、例えば異なる電源電位で動作可能な複数のPMOSTランジスタ（以下、単に「PMOS」と表記する。）を有してなる多電源タイプの半導体集積回路装置に利用して有用な技術に関する。

【0002】

【従来の技術】 近年、MOSFETの微細化や高速化のために、従来の5Vの電源電位で動作するPMOSの他に3Vの電源電位で動作するPMOSを同一LSI（半導体集積回路装置）内に設ける場合がある。このような場合、5V用のPMOSと3V用のPMOSとでは基板電位が異なるので、それら動作電位の異なるPMOS間の距離を、同じ動作電位のPMOS間の距離よりも大きく離し、その離れた間部分に絶縁性の素子分離（アイソレーション）領域を形成することにより、ラッチアップ現象が起こるのを防いでいる。

【0003】

【発明が解決しようとする課題】 しかしながら、上述した技術には、次のような問題のあることが本発明者らによってあきらかとされた。すなわち、ラッチアップ現象が起こるのを防いでLSIの信頼性を実用上支障のない程度まで高めるには、上述した素子分離領域の占める面積をかなり大きくしなければならず、チップ面積に占める素子分離領域の面積が大きくなって集積度が低下してしまうというものである。また、ゲートアレイのようなセミカスタムLSIにおいては、予め動作電位の異なるPMOSを上述した素子分離領域で隔てて形成していても、そのLSIチップを単一の電源電位で使用する場合には、その電位用のPMOS以外のPMOSには配線を行わないので、無駄が生じてしまうという問題点もあった。

【0004】 本発明はかかる事情に鑑みてなされたもので、その目的とするところは、動作電位の異なるPMOS間の素子分離領域の占有面積を増大させることなく、異なる電源電位で動作可能な複数のPMOSを有してなる半導体集積回路装置を提供することにある。また、本

発明の他の目的は、単一電源及び多電源の何れの場合にも対応可能なセミカスタムの半導体集積回路装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述及び添付図面から明らかになるであろう。

【0005】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。すなわち、本発明の半導体集積回路装置においては、例えば、同一基板内に第1の電源電位で動作するPMOS、第2の電源電位で動作するPMOS、第3の電源電位で動作するPMOS、…（第4の電源電位以降の表記を省略する。）を夫々形成し、それらPMOSの基板電位を前記複数の異なる電源電位のうち最も大きな電位と同じになるようにすることを提案するものである。

【0006】

【作用】 上記した手段によれば、動作電位の異なるPMOSが同一LSI内に混在する場合に、各PMOSの基板電位を異なる前記動作電位のうちの最も高い電位と同じになるようにしたため、各PMOSの基板電位が同じになり、動作電位の異なるPMOS間に広大な素子分離領域を設けなくてもラッチアップ現象は起こらない。また、広大な素子分離領域を設けなくてもよいので、集積度が上がる。さらに、ゲートアレイのようなセミカスタムLSIの場合には、各PMOSの基板電位が同じになるように配線するだけでよく、従来のようにどのPMOSを何Vの電位で動作させるかを予め決めて素子分離領域で分離しておく必要がないので、配線の自由度が増すだけでなく、例えばそのLSIチップを単一の電源電位で使用する場合には、全てのPMOSの使用が可能であり、無駄が生じない。

【0007】

【実施例】 本発明を適用した半導体集積回路装置として、図1に示すように、基本的な論理回路の一つであるインバータ回路を例に挙げて説明し、本発明の特徴とするところを明かにする。なお、この半導体集積回路装置は、3Vと5Vの二電源に接続されるものとする。図1には、3Vで動作するインバータ回路と5Vで動作するインバータ回路とが示されている。同図において、符号10及び11で示したトランジスタは、夫々3Vで動作するインバータ1におけるPMOS及びNMOSである。符号20及び21で示したトランジスタは、夫々5Vで動作するインバータ2におけるPMOS及びNMOSである。

【0008】 PMOS10のソース電極は電位V_{cc1}の電源に接続されている。一方、PMOS20のソース電極は電位V_{cc2}の電源に接続されている。ここで、V_{cc1}は3Vであり、V_{cc2}は5Vである。従って、PMOS10のソース電位は3Vであり、PMOS20のソー

3

ス電位は5Vとなっている。そして、PMOS10及びPMOS20の各基板は5Vの電源に電気的に接続されており、それら各基板の基板電位 V_{ss1} 、 V_{ss2} は何れも5V(V_{cc2})となっている。

【0009】なお、図1において、 V_{ss1} 及び V_{ss2} はインバータ1の入出力ポートを示し、 V_{ss2} 及び V_{ss1} はインバータ2の入出力ポートを示している。

【0010】以上、詳述したように、上記実施例によれば、3Vで動作するPMOS10の基板電位 V_{ss1} と5Vで動作するPMOS20の基板電位 V_{ss2} とが同じ5Vであるため、 V_{ss1} と V_{ss2} との間に電位差が生じないので、それらPMOS10、20間に広大な素子分離領域を設けなくても、基板電位間の電位差に起因するラッチアップ現象の発生を防ぐことができる。また、広大な素子分離領域を設ける必要がなく、同一基板にPMOS10、20を配置させることができるので、高集積化を図ることが可能となる。さらに、半導体集積回路装置がゲートアレイのようなセミカスタムLSIの場合には、各PMOSの基板電位が同じになるように配線パターンを設計するだけでよく、従来のように予めどのPMOSを何Vの電位で動作させるかを決めて分離しておく必要がないので、配線の自由度が増す。加えて、例えばそのLSIチップを単一の電源電位で使用する場合にも、配線パターンを変えるだけで、全てのPMOSの使用が可能であり、無駄が生じない。従って、セミカスタムLSIの場合には特に有効である。

【0011】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例においてはインバータ回路を例として挙げたが、本発明はそれに何等制限されるものではないのは明かである。また、3Vと5Vの二電源に限らず、異なる

4

電位の電源の数が3つ以上であってもよいし、その電位も3Vと5Vに限らないのはいうまでもない。

【0012】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるPMOSの基板電位に適用した場合について説明したが、この発明はそれに限定されるものではなく、例えば半導体基板に作製されたダイオードなどの回路素子の基板電位にも利用することができる。

【0013】

10 【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。すなわち、動作電位の異なるPMOSが同一LSI内に混在しても、各PMOSの基板電位が同じになり、ラッチアップ現象が起こるのを防ぐことができる。また、動作電位の異なるPMOS間に広大な素子分離領域を設けずに済み、高集積化を図ることができる。さらに、セミカスタムLSIの場合には、従来のようにどのPMOSを何Vの電位で動作させるかを予め決めて分離しておく必要がなく、各PMOSの基板電位が同じになるように配線パターンを設計するだけでよいので、極めて有効である。

【図面の簡単な説明】

【図1】本発明に係る半導体集積回路装置の一例である3Vで動作するインバータ回路と5Vで動作するインバータ回路とを併記した回路図である。

【符号の説明】

V_{ss1} 3Vで動作するPMOSの基板電位

V_{ss2} 5Vで動作するPMOSの基板電位

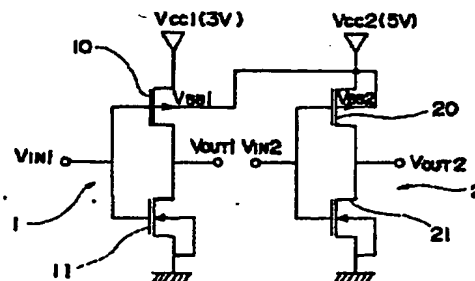
V_{cc1} 電源電位(3V)

30 V_{cc2} 電源電位(5V)

10 3Vで動作するPMOS

20 5Vで動作するPMOS

【図1】



THIS PAGE BLANK (USP 10)